



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0084231  
Application Number

출 원 년 월 일 : 2002년 12월 26일  
Date of Application DEC 26, 2002

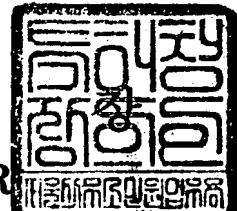
출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.12.26
【발명의 명칭】	반도체소자 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATION OF BITLINE OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE,Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	김상익
【성명의 영문표기】	KIM,Sang Ik
【주민등록번호】	571020-1162123
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 청솔마을 유천화인아파트 203-1503
【국적】	KR

1020020084231

출력 일자: 2003/5/15

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인  
성 (인)

【수수료】

【기본출원료】	17	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】		29,000	원	
【첨부서류】		1.	요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 셀콘택 플러그 형성 후 주변회로영역의 절연막을 제거함에 따른 셀영역에서의 습식 용액의 침투를 방지할 수 있는 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판의 셀영역과 주변회로영역에 다수의 전도막패턴을 형성하는 단계; 상기 전도막패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 셀영역에서 상기 절연막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 건식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 절연막 일부를 제거하는 단계; 및 습식 식각 공정을 통해 잔류하는 상기 절연막을 제거하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

**【대표도】**

도 3d

**【색인어】**

SAC, 플러그, 침투(Enchroachment), 게이트전극 패턴, 절연막, 건식 식각.

**【명세서】****【발명의 명칭】**

반도체소자 제조 방법{METHOD FOR FABRICATION OF BITLINE OF SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도.

도 2a 내지 도 2d는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 종래기술에 따른 반도체소자의 공정 단면도.

도 3a 내지 도 3e는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 본 발명의 일실시 예에 따른 반도체소자의 공정 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

40 : 기판      41 : 게이트절연막

42 : 게이트전극용 전도막      43 : 하드마스크용 절연막

44 : 식각정지막      44' : 식각된 식각정지막

45 : 절연막      48 : 플러그

49 : 포토레지스트 패턴      G1, G2 : 게이트전극 패턴

50 : 일부 식각된 절연막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체소자 제조방법에 관한 것으로 특히, 셀 콘택 패드 형성 후에 주변 회로영역 상에 소스/드레인 형성시 주변회로영역에서의 절연막 제거 방법에 관한 것이다.

<12> 통상적으로, 반도체 메모리 예컨대, DRAM(Dynamic Random Access Memory) 소자의 제조 공정은 주변회로영역(코아 포함)에 위치한 게이트 전극 구조 상에 소스.드레인을 형성하는 방법이 사용되어 왔다.

<13> 하지만, 반도체소자의 집적도가 증가함에 따라 셀 콘택 저항 감소를 위해 폴리실리콘을 증착하여 플리그를 형성하는 방법 대신에 선택적 에피택셜 성장(Selective Epitaxial Growth; 이하 SEG라 함) 방식을 이용하여 플리그를 형성하여 셀의 저항을 감소시키려는 방법이 강구되었다.

<14> 그러나, 폴리실리콘을 증착하는 경우에는 그 증착 온도가 500°C ~ 600°C였으나, SEG 방식의 경우 700°C ~ 1000°C로 훨씬 더 높은 공정 온도를 필요로 한다.

<15> 따라서, 이러한 SEG 방식을 적용할 경우 주변회로영역에서의 전기적 특성을 열화시킨다(문턱전압(Vt), 드레인 전류(Id), 편치 현상).

<16> 따라서, 이러한 주변회로영역에서의 전기적 특성 열화를 방지하기 위해 셀영역에 SEG 방식을 통해 콘택 패드를 형성한 다음, 주변회로영역에 위치한 게이트전극 구조 상에 소스/드레인을 형성하는 방법이 강구되었다.

<17> 도 1은 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도이다.

<18> 도 1을 참조하면, 활성층을 포함하는 기판(20)에 절연막(25) 패턴이 국부적으로 배치되어 있으며, 절연막(25) 패턴과 교차되는 방향으로 게이트전극(G1, G2)이 다수 배치되어 있다.

<19> 여기서, 도면부호 '12'는 플러그 형성을 위해 오픈되는 영역 즉, 콘택홀을 나타내며, X-X'은 셀영역을, Y-Y'은 주변회로영역을 나타낸다.

<20> 도 2a 내지 도 2d는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 종래기술에 따른 반도체소자의 공정 단면도인 바, 이하 도 2a 내지 도 2d를 참조하여 종래기술에 따른 반도체소자 제조 공정을 살펴본다.

<21> 먼저, 도 2a에 도시된 바와 같이, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(20) 상에 게이트절연막(21)과 게이트전극용 전도막(22)과 하드마스크용 절연막(23)을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스크용 절연막(23)/게이트전극용 전도막(22)/게이트절연막(21)의 적층 구조의 게이트전극 패턴(G1, G2)을 형성한다.

<22> 게이트절연막(21)은 산화막 계열을 이용하고, 전도막(22)은 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(23)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다. 이는 산화막 계열인 층간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써, 플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 SAC 식각 공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.

<23> 이어서, 질화막 계열의 식각정지막(24)을 증착하는 바, 게이트전극 패턴(G1, G2)이 형성된 프로파일을 따라 얇게 증착되도록 한다.

<24> 식각정지막(24)이 형성된 기판(20) 전면에 충간절연 및 게이트전극 패턴(G1, G2) 간을 분리시키기 위한 산화막 계열의 절연막(25)을 증착한다.

<25> 절연막(25)은, BPSG(Boro Phospho Silicate Glass)막, BSG(Boro Silicate Glass)막, PSG(Phospho Silicate Glass)막, HDP(High Density Plasma) 산화막, TEOS(Tetra Ethyl Ortho Silicate)막 또는 APL(Advanced Planarization Layer)막 등을 단독 또는 적층하여 사용한다.

<26> 이어서, 절연막(25) 상에 셀콘택 오픈 마스크인 포토레지스트 패턴(25)을 형성한 다음, 포토레지스트 패턴(26)을 식각마스크로 절연막(25)을 선택적으로 식각하여 셀영역(X-X')에서 게이트전극 패턴(G1) 사이의 기판(20) 영역(예컨대, 소스/드레인 등의 불순 물집합층)을 노출시키는 오픈부(27)를 형성한다(B-B' 방향으로 절취한 부분에서는 절연막(25) 패턴 사이의 기판(20) 영역이 노출됨).

<27> 도 2b는 플러그 형성을 위한 오픈부(27)가 형성된 공정 단면을 나타낸다.

<28> 이어서, 포토레지스트 스트립(Photoresist strip) 공정을 실시하여 포토레지스트 패턴(26)을 제거하고, 세정 공정을 실시하여 식각 부산물을 제거한다.

<29> 오픈부(27)가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부(26) 형성시 노출된 기판(20)에 전기적으로 도통되도록 한다.

<30> 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용하며, 그 하부에 Ti/TiN 등의 베리어막을 포함할 수도 있다.

<31> 이어서, 게이트전극 패턴(G1, G2) 상부에서 절연막(25)이 일부 남는 연마 타겟으로 CMP 공정을 실시하여 절연막(25)에 의해 분리되어 서로 격리된 다수의 플러그(28)를 형성한다.

<32> 도 2c는 다수의 분리된 플러그(28)가 형성된 공정 단면을 나타낸다.

<33> 이어서, 도 2d에 도시된 바와 같이 습식 식각 공정을 통해 주변회로영역(Y-Y')에서의 절연막(25)을 제거한다.

<34> 구체적으로, 셀영역(X-X') 상부 만을 마스킹하는 포토레지스트 패턴(29)을 형성한 다음, BOE(Buffered Oxide Etchant) 또는 HF 등의 습식 용액을 사용하여 주변회로영역(Y-Y')에서의 절연막(25)을 선택적으로 제거한다.

<35> 한편, 전술한 습식 용액을 사용한 식각 공정 중 습식 용액이 주변회로영역(Y-Y')에 인접한 셀영역(X-X')으로 습식 용액이 침투(Enchroachment)하게 된다(31).

<36> 이로 인해 셀영역(X-X')에서의 절연막(25)이 과도 식각되어 플러그가 노출되된다(32). 이러한 습식 용액의 침투(31)는 특히, 그 내부에 공극(31)을 갖는 절연막(25)일 수록 더욱 심각한 영향을 끼친다.

<37> 한편, 주변회로영역에 인접한 셀영역에서의 습식 용액의 침투로 인한 소자 불량을 방지하기 위해 주변회로영역을 셀영역의 외곽으로 충분히 빼게 제작하도록 마스크를 제작하는 방법도 강구되어질 수 있다, 그러나, 이렇듯 셀영역으로 사용할 수 있는 공간을 더미영역으로 사용하여야 하므로 다이(Die) 사이즈의 증가를 초래하고나, 생산성을 떨어트리는 문제점이 발생한다.

**【발명이 이루고자 하는 기술적 과제】**

<38> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 셀콘택 플러그 형성 후 주변회로영역의 절연막을 제거함에 따른 셀영역에서의 습식 용액의 침투를 방지할 수 있는 반도체소자 제조방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<39> 상기의 목적을 달성하기 위해 본 발명은, 기판의 셀영역과 주변회로영역에 다수의 전도막패턴을 형성하는 단계; 상기 전도막패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 셀영역에서 상기 절연막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 건식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 절연막 일부를 제거하는 단계; 및 습식 식각 공정을 통해 잔류하는 상기 절연막을 제거하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

<40> 본 발명은, 셀콘택 플러그 형성 후 셀영역을 마스킹하는 포토레지스트 패턴을 형성 한 다음 주변회로영역의 절연막을 제거함에 있어서, 비등방성 식각 특성이 있는 건식 식각 공정을 통해 절연막의 일부를 제거한 후, 잔류하는 절연막은 습식 용액을 이용하여 제거함으로써 습식 용액의 침투로 인한 셀영역에서의 소자 불량을 방지하고자 한다.



1020020084231

출력 일자: 2003/5/15

<41> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

<42> 도 3a 내지 도 3e는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 본 발명의 일실시 예에 따른 반도체소자의 공정 단면도인 바, 이하 도 3a 내지 도 3e를 참조하여 본 발명에 따른 반도체소자 제조 공정을 살펴본다.

<43> 먼저, 도 3a에 도시된 바와 같이, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(40) 상에 게이트절연막(41)과 게이트전극용 전도막(42)과 하드마스크용 절연막(43)을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스크용 절연막(43)/게이트전극용 전도막(42)/게이트절연막(41)의 적층 구조의 게이트전극 패턴(G1, G2)을 형성한다.

<44> 게이트절연막(41)은 산화막 계열을 이용하고, 게이트전극용 전도막(42)은 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(43)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용함으로써, 플리그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 SAC 식각 공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.

<45> 이어서, 질화막 계열의 식각정지막(44)을 증착하는 바, 게이트전극 패턴(G1, G2)이 형성된 프로파일을 따라 얇게 증착되도록 한다.

<46>      식각정지막(44)이 형성된 기판(40) 전면에 충간절연 및 게이트전극 패턴(G1, G2) 간을 분리시키기 위한 산화막 계열의 절연막(45)을 증착한다.

<47>      절연막(45)은, BPSG막, BSG막, PSG막, HDP 산화막, TEOS막 또는 APL막 등을 단독 또는 적층하여 사용한다.

<48>      이어서, 절연막(45) 상에 셀콘택 오픈 마스크인 포토레지스트 패턴(46)을 형성한 다음, 포토레지스트 패턴(46)을 식각마스크로 절연막(45)을 선택적으로 식각하여 셀영역(X-X')에서 게이트전극 패턴(G1) 사이의 기판(40) 영역(예컨대, 소스/드레인 등의 불순물 접합층)을 노출시키는 오픈부(47)를 형성한다(B-B' 방향으로 절취한 부분에서는 절연막(45) 패턴 사이의 기판(40) 영역이 노출됨).

<49>      도 3b는 플러그 형성을 위한 오픈부(47)가 형성된 공정 단면을 나타낸다.

<50>      이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴(46)을 제거하고, 세정 공정을 실시하여 식각 부산물을 제거한다.

<51>      오픈부(47)가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부(46) 형성시 노출된 기판(40)에 전기적으로 도통되도록 한다.

<52>      플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용하며, 그 하부에 Ti/TiN 등의 베리어막을 포함할 수도 있다.

<53>      이어서, 게이트전극 패턴(G1, G2) 상부에서 절연막(45)이 일부 남는 연마 타겟으로 CMP 공정을 실시하여 절연막(45)에 의해 분리되어 서로 격리된 다수의 플러그(48)를 형성한다.

<54>      도 3c는 다수의 분리된 플러그(48)가 형성된 공정 단면을 나타낸다.

<55> 이어서, 도 3d에 도시된 바와 같이 건식 식각 공정을 통해 주변회로영역(Y-Y')에서의 절연막(45)의 일부를 도면부호 '50'과 같이 제거한다.

<56> 구체적으로, 셀영역(X-X') 상부 만을 마스킹하는 포토레지스트 패턴(49)을 형성한 다음, 포토레지스트 패턴(49)을 식각마스크로 주변회로영역(Y-Y')에서의 절연막(45)을 선택적으로 제거한다. 이 때,  $CxFy$ (x,y는 1~10)와  $CaHbFc$ (a,b,c는 1~10) 및 산소( $O_2$ )의 혼합 가스를 사용하는 플라즈마 이용한다. 이 때, 식각 프로파일의 재현성을 위해 He, Ne, Ar 또는 Xe 등의 비활성 가스를 추가로 첨가하여 사용한다.

<57> 도면부호 44'은 건식 식각 공정에서 식각정지막(44)의 일부가 식각된 상태를 나타낸다.

<58> 다음으로, 도 3e에 도시된 바와 같이 포토레지스트 패턴(49)을 식각마스크로 하는 습식 식각 공정으로 주변회로영역(Y-Y')에서 잔류하는 절연막(45)을 제거하여 도면부호 '51'과 같이 절연막(45) 제거한다.

<59> 이 때, 습식 식각 용액으로 BOE 또는 HF 등의 습식 용액을 사용한다.

<60> 전술한 바와 같이 이루어지는 본 발명은, 셀콘택 플리그 형성 후 셀영역을 마스킹하는 포토레지스트 패턴을 형성한 다음 주변회로영역의 절연막을 제거함에 있어서, 비등방성 식각 특성이 있는 건식 식각 공정을 통해 절연막의 일부를 제거한 후, 잔류하는 절연막은 습식 용액을 이용하여 제거함으로써 습식 용액의 침투로 인한 셀영역에서의 소자 불량을 방지할 수 있음을 실시예를 통해 알아 보았다.

<61> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<62> 상술한 바와 같은 본 발명은, 주변회로영역에서의 절연막 제거시 셀영역에서의 습식 용액의 침투에 따른 소자 특성 열화를 방지할 수 있어, 궁극적으로 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

1020020084231

출력 일자: 2003/5/15

### 【특허청구범위】

#### 【청구항 1】

기판의 셀영역과 주변회로영역에 다수의 전도막패턴을 형성하는 단계;

상기 전도막패턴이 형성된 전면에 절연막을 형성하는 단계;

상기 셀영역에서 상기 절연막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택트된 플러그를 형성하는 단계;

상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계;

전식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 절연막 일부를 제거하는 단계; 및

습식 식각 공정을 통해 잔류하는 상기 절연막을 제거하는 단계

를 포함하는 반도체소자 제조방법.

#### 【청구항 2】

제 1 항에 있어서,

상기 전도막패턴은 게이트전극 패턴인 것을 특징으로 하는 반도체소자 제조방법.

#### 【청구항 3】

제 1 항에 있어서,

상기 건식 식각하는 단계에서,  $C_xF_y$ ( $x, y$ 는 1~10)와  $CaHbFc$ ( $a, b, c$ 는 1~10) 및 산소( $O_2$ )의 혼합 가스를 사용하는 플라즈마 이용하는 것을 특징으로 하는 반도체소자 제조 방법.

#### 【청구항 4】

제 3 항에 있어서,

상기 건식 식각하는 단계에서, 비활성 가스를 추가로 사용하는 것을 특징으로 하는 반도체소자 제조방법.

#### 【청구항 5】

제 1 항에 있어서,

상기 습식 식각하는 단계에서, BOE 또는 HF를 사용하는 것을 특징으로 하는 반도체 소자 제조방법.

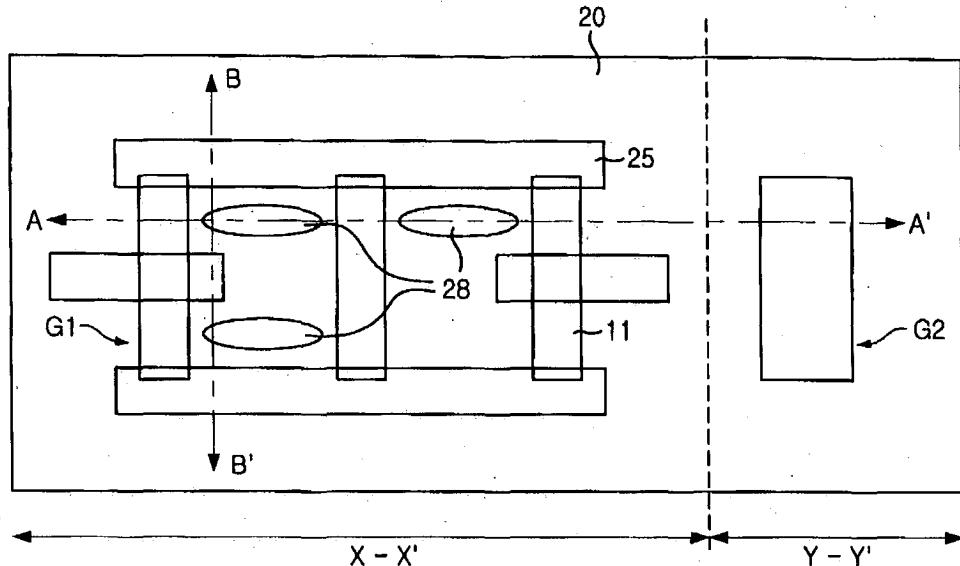
#### 【청구항 6】

제 1 항에 있어서,

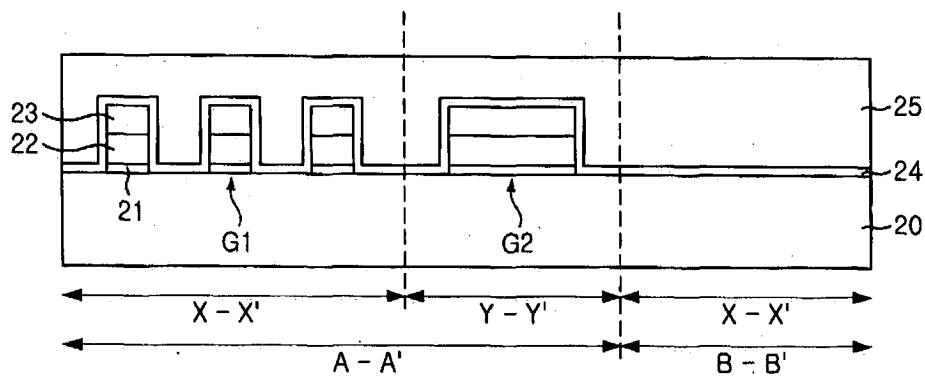
상기 절연막은, BPSG막, BSG막, PSG막, HDP 산화막, TEOS막 또는 APL막 중 어느 하나인 것을 특징으로 하는 반도체소자 제조방법.

## 【도면】

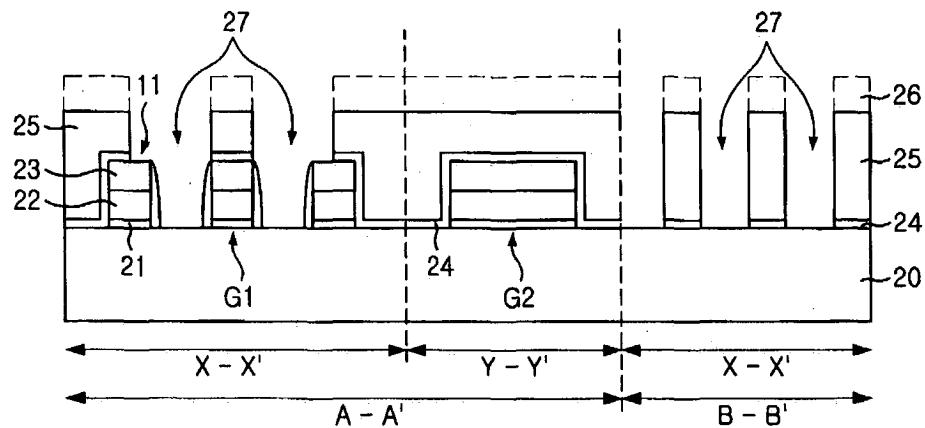
【도 1】



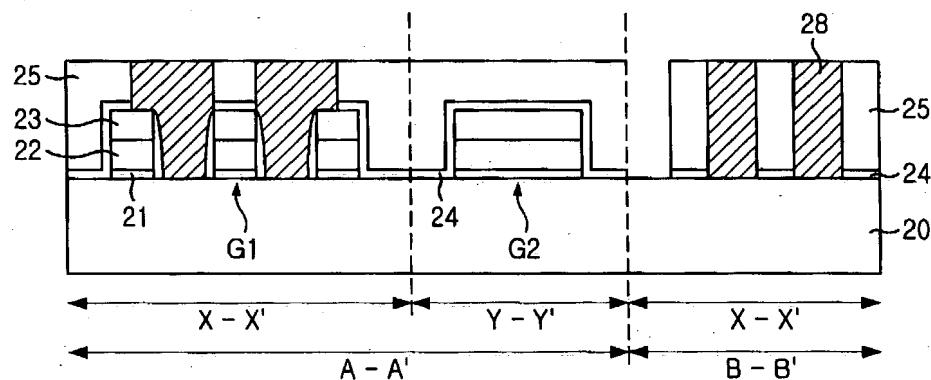
【도 2a】



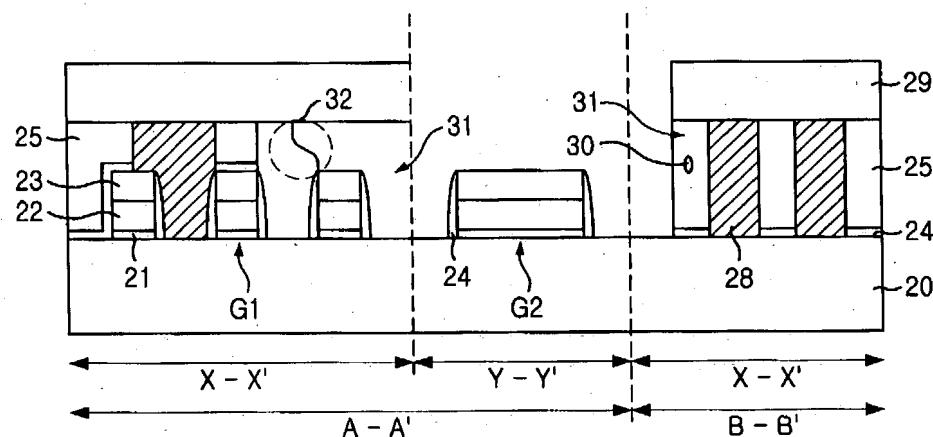
【도 2b】



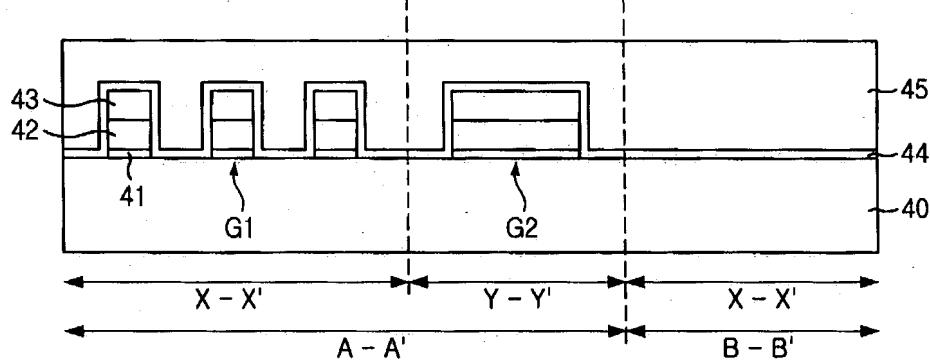
【도 2c】



【도 2d】



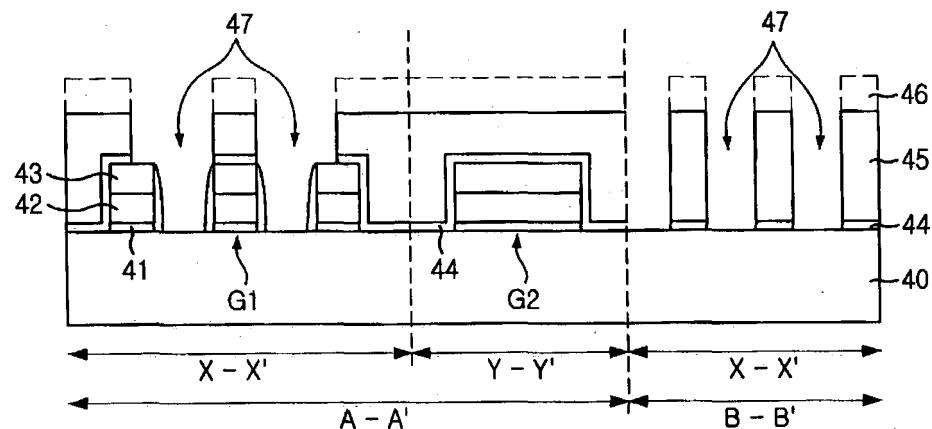
【도 3a】



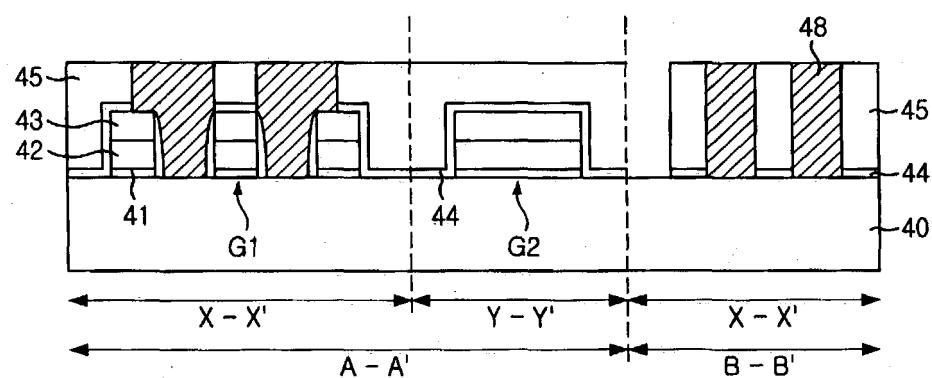
1020020084231

출력 일자: 2003/5/15

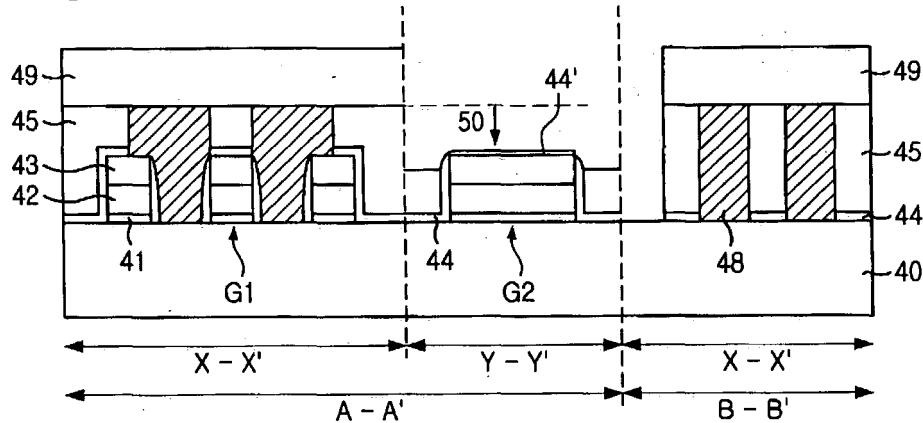
【도 3b】



【도 3c】



【도 3d】



1020020084231

출력 일자: 2003/5/15

【도 3e】

